

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-164277

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H03G 3/30
H03H 17/00

(21)Application number : 04-318100

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.11.1992

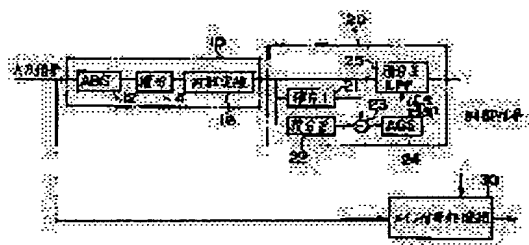
(72)Inventor : FUKUDA MITSUYOSHI

(54) SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To detect the input level of prescribed characteristic by performing digital processing.

CONSTITUTION: The input level is detected by an input level detecting part 10, and it is integrated by first and second integration circuits 21, 22 with different time constants, then, difference of them is taken. Thereby, a signal with waveform whose value is increased when large level change occurs can be obtained. The input level with such characteristic that fast following can be performed when the change quantity of an input signal is large and slow following when it is small can be detected by controlling the time constant of a third integration circuit 25 based on the above signal.



LEGAL STATUS

[Date of request for examination] 20.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3037002

[Date of registration] 25.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-164277

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 3/30	C	7350-5 J		
	B	7350-5 J		
H 0 3 H 17/00	Z	7037-5 J		

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-318100

(22)出願日 平成4年(1992)11月27日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 福田 光芳

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

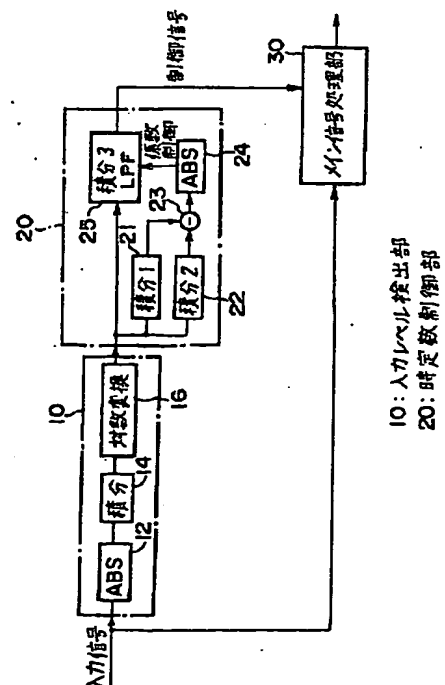
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 信号処理装置

(57)【要約】

【目的】 デジタル処理により所定の特性の入力レベル検出を行う。

【構成】 入力レベル検出部10において、入力レベルを検出し、これを時定数の異なる第1、第2積分回路21、22で積分し、両者の差をとる。これによって、レベル変化が大きい時に値大きくなる波形の信号を得ることができる。そして、この信号に基づいて、第3積分回路25の時定数を制御することによって、入力信号の変化量が大きい時に速く追従し、小さい時にゆっくり追従する特性を持つ入力レベルの検出を行うことができる。



【特許請求の範囲】

【請求項1】 入力信号に対する信号処理を入力信号のレベルに応じて変更する信号処理装置において、入力信号を第1の時定数で積分する第1積分回路と、入力信号を第2の時定数で積分する第2積分回路と、この第1および第2積分回路の両方に基づいた制御信号を生成する制御信号生成手段と、得られた制御信号に応じて決定された時定数で入力信号をフィルタリングするフィルタと、このフィルタの出力に応じた特性で入力信号を処理するメイン信号処理手段と、を有することを特徴とする信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、オーディオ機器等における信号処理装置、特に入力信号のレベルに応じて処理を変更するものに関する。

【0002】

【従来の技術】 デジタル処理技術の進歩に伴い、各種分野においてデジタル処理が採用されるようになってきており、オーディオ機器においてもデジタル処理が採用されるようになってきている。

【0003】 一方、音声信号の処理においては、入力信号のレベルに応じて処理の内容を変更しなければならない場合が各種ある。例えば、オーディオアンプにおけるダイナミックレンジのコンプレッサは、入力レベルが0 dBで入力信号をそのまま出力し、入力レベルが-60 dBで入力信号を6 dBアップして出力し、0 dB〜-60 dBでは、ゲイン量を連続的に変化させ、オーディオ機器からの出力を聴きやすいものになっている。

【0004】 そして、このようなコンプレッサのゲイン量の変更は、入力信号の変化状態に応じて、その追従状態を変更している。すなわち、入力信号が低レベルから高レベルに大きく変化した際（アタック時）においては、追従を速くし、入力信号が高レベルから低レベルに変化した際（リリース時）においては追従を遅くしている。

【0005】 さらに、アタック時において、入力信号レベルの変動量が多いほど追従を速くすることも行われている。そして、この入力レベル変動への追従をアナログで行う場合には、抵抗とコンデンサからなる積分回路の抵抗にダイオードを並列接続することで達成できる。

【0006】 一方、デジタル回路において、このような特性を得ようとした場合には、時定数の異なるローパスフィルタを複数用意し、入力レベルの変化量に応じて切り替えることになる。

【0007】

【発明が解決しようとする課題】 しかし、このようなローパスフィルタ切り換えの処理は複雑であり、各種の問題があった。すなわち、DSP（デジタル・シグナル・

プロセッサ）でこのような処理を行う場合、プログラムが長くなり、またローパスフィルタの時定数設定のためのテーブルが大きくなってしまいう問題点があった。さらに、時定数の数には限界があるため、時定数をスムーズに変化させることができず、また係数切り換え時に切り換えノイズが発生するという問題点もあった。

【0008】

【課題を解決するための手段】 本発明は、入力信号に対する信号処理を入力信号のレベルに応じて変更する信号処理装置において、入力信号を第1の時定数で積分する第1積分回路と、入力信号を第2の時定数で積分する第2積分回路と、この第1および第2積分回路の両方に基づいた制御信号を生成する制御信号生成手段と、得られた制御信号に応じて決定された時定数で入力信号をフィルタリングするフィルタと、このフィルタの出力に応じた特性で入力信号を処理するメイン信号処理手段とを有することを特徴とする。

【0009】

【作用】 このように、時定数の異なる第1および第2積分回路の出力に基づいて、制御信号を得るため、入力信号のレベル変化に対応した信号を得ることができる。そこで、入力信号のレベル変化に対応した時定数をもって変化する入力レベル信号を得ることができ、この信号を用いて所望の信号処理を行うことができる。特に、デジタル処理において、簡易な回路により、時定数の連続的に変換させることができる。

【0010】

【実施例】 以下、本発明の実施例について、図面に基づいて説明する。図1は、実施例の全体構成を示すブロック図であり、入力信号のレベルを検出する入力レベル検出部10、入力レベル検出部10において検出した入力レベルから入力レベルの変動に応じて時定数で応答する制御信号を生成する時定数制御部20および時定数制御部20からの制御信号に応じて入力信号を処理するメイン信号処理部30からなっている。

【0011】 入力レベル検出部10は、絶対値回路12、積分回路14、対数変換回路16からなっており、入力信号の絶対値を積分し、対数変換することによって、入力信号の振幅に対応する入力レベル信号を出力する。

【0012】 時定数制御部20は、基本的には、第1積分回路21、第2積分回路22、減算器23、絶対値回路24および第3積分回路25からなっており、時定数の異なる第1および第2積分回路21、22の出力の差を減算器23で計算し、この減算結果の絶対値に応じて第3積分回路25の時定数を制御する。そして、このようにして時定数が決定された第3積分回路25の出力が制御信号として出力される。

【0013】 メイン信号処理部30は、例えば入力信号に対しダイナミックレンジの圧縮処理を施すコンプレッ

サであり、この圧縮処理の内容を制御信号に応じて変化させる。

【0014】図2に時定数制御部20の具体的構成を示す。このように、第1～第3積分回路21、22、25はそれぞれ1次のIIRローパスフィルタから構成されている。すなわち、入力信号は係数乗算器aを介し加算器bに入力されると共に、遅延回路cおよび係数乗算器dを介し加算器bに入力される。また、加算器bの出力は遅延回路eおよび係数乗算器fを介し、加算器bにフィードバック入力される。そして、各積分回路は係数乗算器a、d、fにおいて乗算する係数 α 、 β 、 γ の設定によって、それぞれの積分（ローパスフィルタ）の時定数が設定される。

【0015】すなわち、各積分回路の係数 α 、 β 、 γ は、

$$\alpha = \beta, \quad \gamma = 1 - 2\alpha$$

の關係に設定され、 $0 < \alpha < 1$ である。

【0016】そして、 α が0に近いと時定数が大きく、1に近いと時定数が小さい。そこで、第1積分回路21における係数 α を第2積分回路22の係数 α に比較して大きく（1に近く）設定することにより、図3に示すように、入力レベルがステップ状に立ち上がった際に、第1積分回路21の出力は比較的速く立ち上がり、第2積分回路22の出力はゆっくり立ち上がる。そして、減算器23において両者の差をとることにより、ステップ状の立ち上がりに対し、一旦値が上昇した後、0に戻る波形を得ることができる。

【0017】ここで、この減算器23の出力は、入力レベル変化に応じた立ち上がり量を有するものになっている。そこで、この減算器23の出力を利用して第3積分回路25における時定数を変化させれば、入力信号のレベル変化量に応じた時定数での積分（ローパスフィルタ）が達成できる。なお、絶対値回路24は、リリース時においても正の値を得、これを用いて時定数制御を行うためのものである。

【0018】そして、第3積分回路25の時定数を制御するためには、ここにおける係数乗算器の係数aを絶対値回路24の出力に応じて変化させれば良い。但し、絶対値回路24の出力は必ずしも0～1の値を取るとは限らないため、図2に示すように係数kを乗算する係数乗算器26を設け、これによって値の大きさを調整する。そして、この係数乗算器26の出力 α を第3積分回路25における2つの係数乗算器a、dに供給すると共に、 $1 - k\alpha$ 演算器27を介しもう1つの係数乗算器fに供給することによって、第3積分回路25は入力信号の変化量が大きい時に時定数が小さく、入力信号の変化量が小さいときに時定数が大きくなる。そこで、第3積分回路25の出力は、入力信号の大きさに対応したものであると共に、レベル信号の変化量が大きい時には速く追従し、変化量が小さい時にはゆっくり追従する入力レベル

検出信号となる。

【0019】従って、この第3積分回路25の出力をメイン信号処理部30に制御信号として供給し、ここでこの制御信号に応じてダイナミックレンジの圧縮処理を行えば、所望の特性のダイナミックレンジの圧縮処理を行うことができる。

【0020】なお、このダイナミックレンジの圧縮処理は、従来例において記載したように、入力信号レベルが0dBで入力信号をそのまま出力し、入力レベルが-60dBで入力信号を6dBアップして出力し、0dB～-60dBでは、ゲイン量を連続的に変化させるものであり、入力の変化に応じて、ゲインを調整するものである。

【0021】また、本実施例によれば、第1積分回路21と第2積分回路22の時定数を変更したり、係数乗算器26の係数を変更することで、第3積分回路25における時定数の変化幅を簡単に変更することができる。従って、各種調整を非常に簡単に行うことができる。

【0022】さらに、アタック時の時定数は入力レベルの変化量に応じて変更するが、リリース時の時定数は比較的長い1つの時定数に固定する場合、上述の絶対値回路24に代えて閾値回路を設けると良い。すなわち、図4に示すように、減算器23からの出力が一定値以下の場合所定の閾値の値を固定する。このようにすると、リリースの場合には、減算器23の出力は負になるため、必ず閾値以下であり、時定数は閾値に設定されることになる。そこで、第3積分回路25のリリース時の時定数を1つの時定数に固定することができ、アタック時には、上述と同様に入力レベルの変化量に応じて時定数が変化することになる。

【0023】このように、本実施例によれば、デジタル回路において、入力信号の変化量に応じた時定数で入力信号レベルの検出が行え、このレベル信号を用いて、所望の信号処理を行うことができる。なお、他の信号処理においても、このような特性が必要であれば、利用できることはいうまでもない。

【0024】

【発明の効果】以上説明したように、本発明に係る信号処理装置によれば、デジタル信号処理において、入力信号レベルの変化量に応じた時定数でのレベル検出が行え、これを利用して、好適な信号処理を行うことができる。特に、簡易な回路により、時定数の連続的に変換させることができる。

【図面の簡単な説明】

【図1】実施例の全体構成を示すブロック図。

【図2】時定数制御部20の構成を示すブロック図。

【図3】各部の波形を示す説明図。

【図4】閾値設定による処理の説明図。

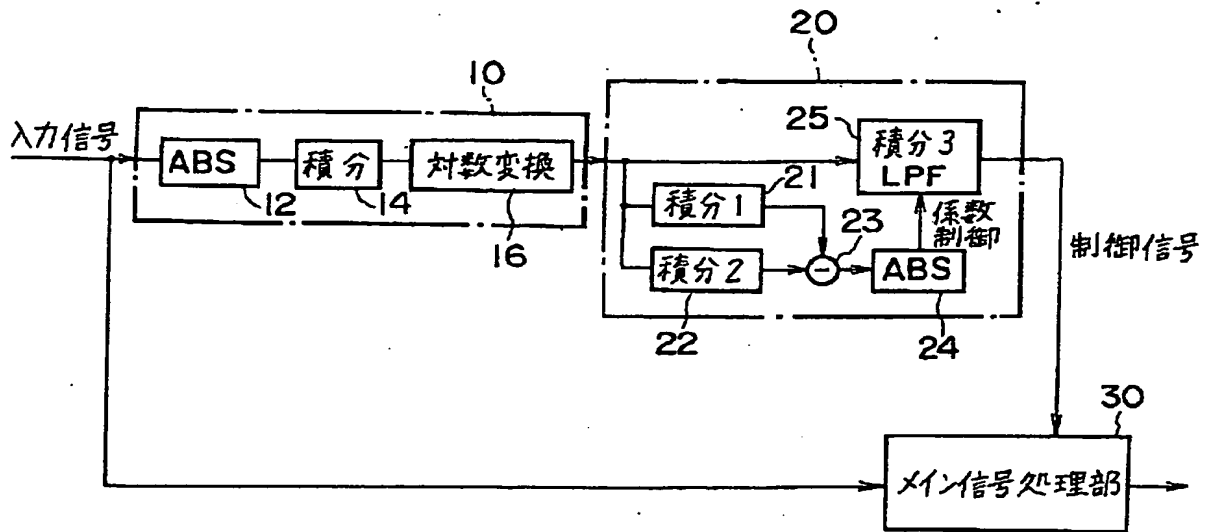
【符号の説明】

10 入力レベル検出部

20 時定数制御部

30 メイン信号処理部

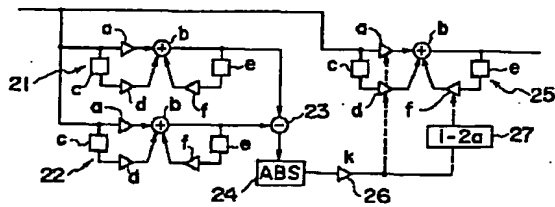
【図1】



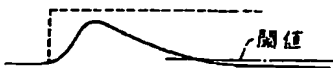
10: 入力レベル検出部

20: 時定数制御部

【図2】



【図4】



【図3】

